

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-233387
 (43)Date of publication of application : 27.08.1999

(51)Int.Cl.

H01G 13/00
 H01G 4/12

(21)Application number : 10-034484
 (22)Date of filing : 17.02.1998

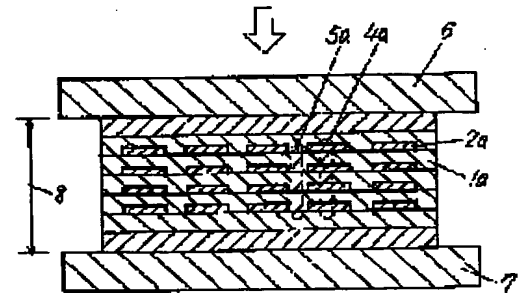
(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD
 (72)Inventor : SAKAGUCHI YOSHIYA
 NAGAI ATSUO
 KURAMITSU HIDENORI
 KOMATSU KAZUHIRO

(54) MANUFACTURE OF LAMINATED CERAMIC ELECTRONIC COMPONENT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a laminated ceramic electronic component which does not have cracks or delaminations.

SOLUTION: A metal film 2a used as an internal electrode 2 is formed on a ceramic sheet 1a, which consists of polyethylene and dielectric powder and has 70% porosity through a thin-film formation method. Next, a plurality of ceramic sheets 1a are laminated, and after pressurization are heat-treated to obtain a laminate. The laminate is cut into the shape of a chip thereafter, to obtain a burned sintered body. Subsequently, external electrodes are formed on the both exposed end faces of the internal electrodes of the laminate.



LEGAL STATUS

[Date of request for examination]	08.02.2000
[Date of sending the examiner's decision of rejection]	01.10.2002
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	
[Date of registration]	
[Number of appeal against examiner's decision of rejection]	2002-21161
[Date of requesting appeal against examiner's decision of rejection]	31.10.2002
[Date of extinction of right]	

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-233387

(43)公開日 平成11年(1999) 8月27日

(51)Int.Cl.⁸H 0 1 G 13/00
4/12

識別記号

3 9 1
3 6 4

F I

H 0 1 G 13/00
4/123 9 1 Z
3 6 4

審査請求 未請求 請求項の数 3 O L (全 5 頁)

(21)出願番号 特願平10-34484

(22)出願日 平成10年(1998) 2月17日

(71)出願人 000005821

松下電器産業株式会社
大阪府門真市大字門真1006番地

(72)発明者 坂口 佳也

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 長井 淳夫

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 倉光 秀紀

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 弁理士 滝本 智之 (外1名)

最終頁に続く

(54)【発明の名称】 積層セラミック電子部品の製造方法

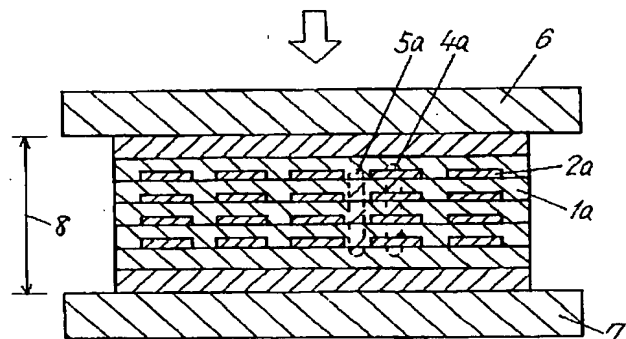
(57)【要約】

【課題】 クラックや層間剥離のない積層セラミック電子部品を提供することを目的とする。

【解決手段】 ポリエチレンと誘電体粉末からなるとともに多孔度が70%であるセラミックシート1a上に、内部電極2となる金属膜2aを薄膜形成法により形成する。次に複数のセラミックシート1aを積重ねて、加圧後熱処理して積層体を得る。その後、この積層体をチップ形状に切断して、焼成した焼結体を得る。次いでこの焼結体の内部電極の露出した両端面に外部電極を形成する。

1a セラミックシート

2a 金属膜



【特許請求の範囲】

【請求項1】 セラミックシート上に薄膜形成法により金属膜を形成する第1の工程と、次にこの金属膜を形成したセラミックシートを複数圧着して積層体を得る第2の工程と、次いで前記積層体を焼成する第3の工程とを備え、前記第1の工程におけるセラミックシートは、少なくともポリエチレンとセラミック原料とを含有し、かつ多孔度が30%以上であることを特徴とする積層セラミック電子部品の製造方法。

【請求項2】 薄膜形成法は、蒸着、スパッタリング、メッキ、静電塗着のいずれかであることを特徴とする請求項1に記載の積層セラミック電子部品の製造方法。

【請求項3】 第1の工程におけるセラミックシート中のポリエチレンは、重量平均分子量が400,000以上のものを用いることを特徴とする請求項1あるいは請求項2に記載の積層セラミック電子部品の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、例えば積層セラミックコンデンサ等の積層セラミック電子部品の製造方法に関するものである。

【0002】

【従来の技術】 セラミック電子部品の一つである積層セラミックコンデンサは、セラミックシート11a上に金属ペースト12aを用いてスクリーン印刷法により内部電極を形成したものを積層して積層体を形成し、所望の形状に切断後焼成し、次いで外部電極を形成したものであった。

【0003】

【発明が解決しようとする課題】 しかしながらこの方法によると、図3に示すようにセラミックシート11aの金属ペースト形成部分14aと金属ペースト非形成部分15aとで厚みが異なるために、圧着工程において金属ペースト形成部分14aにのみ圧力が集中し、金属ペースト非形成部分15aの成形密度が上がらないために、焼成するとこの部分でクラックや層間剥離が発生し易いといった問題点を有していた。

【0004】 そこで本発明は、圧着時にセラミックシートの金属ペーストの非形成部分にも十分に圧力をかけて、セラミックシート間の接着を強固にすることにより、クラックや層間剥離のない積層セラミック電子部品を提供することを目的とするものである。

【0005】

【課題を解決するための手段】 この目的を達成するために本発明の積層セラミック電子部品の製造方法は、セラミックシート上に薄膜形成法により金属膜を形成する第1の工程と、次にこの金属膜を形成したセラミックシートを複数圧着して積層体を得る第2の工程と、次いで前記積層体を焼成する第3の工程とを備え、前記第1の工程におけるセラミックシートは、少なくともポリエチレ

ンとセラミック原料とを含有し、かつ多孔度が30%以上であることを特徴とするものであり、第1の工程における導電体層が薄膜形成法で形成されていることに加え、第2の工程でのセラミックシートの多孔度が高いので圧着する際、導電体層が形成されている部分のセラミックシートが高い圧縮率を示すため、導電体層の非形成部分にも十分な圧力が加わるので、上記目的を達成することができる。

【0006】

【発明の実施の形態】 本発明の請求項1に記載の発明は、セラミックシート上に薄膜形成法により金属膜を形成する第1の工程と、次にこの金属膜を形成したセラミックシートを複数圧着して積層体を得る第2の工程と、次いで前記積層体を焼成する第3の工程とを備え、前記第1の工程におけるセラミックシートは、少なくともポリエチレンとセラミック原料とを含有し、かつ多孔度が30%以上であることを特徴とする積層セラミック電子部品の製造方法であり、導電体層が薄膜であり、かつセラミックシートの多孔度が高いので、第2の工程において圧着する際、導電体層の非形成部分にも十分な圧力が加わるので、クラックや層間剥離のない積層セラミック電子部品を得ることができる。また、この導電体層は、従来のようにワニスなどの燃焼成分が含まれていないので、導電体層が従来の場合と比較して緻密になり等価直列抵抗の低い、すなわち損失の小さい積層セラミック電子部品を得ることができる。

【0007】 請求項2に記載の発明は、第1の工程において導電体層を蒸着、スパッタリング、メッキ、静電塗着のいずれかの薄膜形成方法を用いて形成する請求項1に記載の積層セラミック電子部品の製造方法であり、導電体層が薄膜であり、かつセラミックシートの多孔度が高いので、第2の工程において圧着する際、導電体層が形成されていない部分にも十分な圧力が加わるので、クラックや層間剥離のない積層セラミック電子部品を得ることができる。

【0008】 請求項3に記載の発明は、第1の工程におけるセラミックシート中のポリエチレンとして重量平均分子量が400,000以上のものを用いることを特徴とする請求項1に記載の積層セラミック電子部品の製造方法であり、多孔度の高いセラミックシートとなるので導電体層の有無による段差を吸収できる。

【0009】 以下、本発明の一実施の形態について積層セラミックコンデンサを例に図面を参照しながら説明する。

【0010】 (実施の形態1) 図1は本実施の形態における積層セラミックコンデンサの一工程を示す断面図であり、1aはセラミックシート、2aはセラミックシート1a上に形成した内部電極2となる金属膜、4aは金属膜形成部分、5aは金属膜非形成部分、6は金属上板、7は金属下板、8は金属上板6と金属下板7の間隔

3

を示している。また図2は一般的な積層セラミックコンデンサの一部切欠斜視図であり、1はセラミック誘電体層、2は内部電極、3は外部電極である。

【0011】まず、重量平均分子量が400,000のポリエチレンとチタン酸バリウムを主成分とする誘電体粉末からなるとともに多孔度が70%であるセラミックシート1a上に、内部電極2となるニッケルからなる金属膜2aを薄膜形成法により形成する。この薄膜形成法としては、例えばスパッタリングを用いて金属膜2aを所望の形状に複数形成する。この時のセラミックシート1aの厚みは15 μ m、金属膜2aは0.1~2.5 μ m程度の厚みとする。複数のセラミックシート1aを、セラミックシート1aを挟んで金属膜2aが交互に対向するように積重ね、仮積層体を得る。その後、この仮積層体を金属上板6、金属下板7で挟んで、室温で一軸プレス機にてゲージ圧で5~100WPaの範囲で加圧する。ここで金属上板6と金属下板7の仮積層体と接する面は研磨されており、金属上板6、金属下板7面の間隔8のばらつきは、4.0 μ m以下に制御されている。その後仮積層体に十分な圧力が加わったことを確認して、仮積層体の最高温度が150℃~200℃になるまで昇温し、積層体を得る。ここで積層体の最高温度を150℃~200℃としたのは、150℃程度からポリエチレンが融解し、セラミックシート同士の接着が強固になるからである。200℃以下としたのは、200℃より高く*

4

*なるとポリエチレンが分解してしまい、セラミックシート同士の接着に寄与しなくなるからである。その後、縦3.2mm、横1.6mmのチップ形状に切断して、大気中350℃でポリエチレンを除去した(脱バイ)。この脱バイの時の温度は、ポリエチレンが積層体から除去できかつ金属膜2a中のニッケルの酸化が進みすぎない程度にすることが望ましく、具体的には250~350℃で行うことが望ましい。その後、窒素ガスおよび水素ガスを用いて金属膜2aの酸化が進みすぎない雰囲気を保ちながら、1300℃で焼成を行う。この焼成によりチタン酸バリウムを主成分とするセラミック誘電体層1とニッケルを主成分とする内部電極2が同時に焼結した焼結体を得る。次いでこの焼結体の内部電極2の露出した両端面に銅の外部電極3を焼き付け、メッキを施した後に完成品に至る。

【0012】(表1)は、セラミックシート1aに内部電極2をスパッタリングで形成した本発明の積層セラミックコンデンサと、セラミックシート1aに内部電極2をスクリーン印刷で形成した比較例の積層セラミックコンデンサと、従来のセラミックシートに内部電極2をスクリーン印刷で形成した従来の積層セラミックコンデンサの内部電極2の膜厚と静電容量不良および焼結体の構造欠陥発生との関係について、調べた結果を示す。

【0013】

【表1】

内部電極厚 (μ m)	本発明品	比較例品	従来品
0.05	容量不良	容量不良	容量不良
0.10	0/100	容量不良	容量不良
0.50	0/100	容量不良	容量不良
1.00	0/100	容量不良	容量不良
1.50	0/100	容量不良	容量不良
2.00	0/100	0/100	2/100
2.50	0/100	0/100	47/100
3.00	4/100	6/100	62/100

【0014】但し、いずれの積層セラミックコンデンサも有効層数は100層としそれぞれ100個についてまず静電容量不良を調べて、次に静電容量不良のないものについて、クラックや層間剥離等の構造欠陥個数を示した。

【0015】(表1)を見ると、本発明品では内部電極2の膜厚が0.1 μ m未満の場合、積層体を焼成する際に内部電極2となるニッケルが連続した形で焼結せず不連続になるため、所定の静電容量が得られなかった。また、3.0 μ m以上ではセラミックシート1a同士の接着性が十分に得られないために、焼結体に図4に示すようなクラック100や層間剥離が見られた。従って内部電極2の厚みは0.1~2.5 μ mにすることが好ましい。同様にスクリーン印刷で内部電極2を形成した比較例品では、内部電極2の膜厚が1.5 μ m以下の場合、所定の静電容量を得ることができず、3.0 μ m以上の

場合、構造欠陥が見られた。また従来のセラミックシートにスクリーン印刷で内部電極2を形成した従来品は、内部電極2の膜厚が1.5 μ m以下の場合、所定の静電容量を得ることができず、2.0 μ m以上の場合クラックや層間剥離等の構造欠陥が見られた。従って、本発明の積層セラミックコンデンサは、内部電極2の膜厚が0.1~2.5 μ mの広い範囲で、従来多発していたクラックなどの構造欠陥の発生や、内部電極の不連続性による静電容量不良を抑制し、歩留まりを大幅に改善することができる。このことは、さらに有効層数を増やし、高積層化を行った場合、さらに効果がある。

【0016】なお本発明においてポイントとなることを以下に記載する。

(1) 内部電極2の厚みは0.1~2.5 μ mで良好な結果が得られたが、有効層数が100層を越える場合は、内部電極2の厚みが1.0 μ m以下になるようにし

て、仮積層体に一様に加圧できるようにすることが望ましい。

【0017】(2) 内部電極2の材料としてニッケルを用いたが、銅などの卑金属や、またパラジウム、銀-パラジウムなどの貴金属を用いてもかまわない。

【0018】(3) 薄膜形成法は、スパッタリングを用いたが、蒸着、メッキ、静電塗着のいずれの方法を用いても構わない。しかしながらメッキにより金属膜2aを形成する場合は、メッキ液がセラミックシートに影響を及ぼさないようにするためにも、メッキ液のpHが7付近の中性のものを用いることが好ましい。

【0019】(4) 実施の形態1においては、積層セラミックコンデンサのみについて示したが、セラミックシート1aを用いて製造するような積層バリスタ、積層サーミスタ、積層フィルタ、フェライト部品、セラミック多層基板などの積層セラミック電子部品の製造において同様の効果が得られる。

【0020】

【発明の効果】以上本発明によると、積層時の圧力の不均一に起因する焼結体の構造欠陥の発生を抑制するとと

もに、導電体層が従来の場合と比較して緻密になり等価直列抵抗の低い、すなわち静電容量損失の小さい積層セラミック電子部品を得ることができる。特に高積層が要求される積層チップコンデンサの歩留まりの向上に対して絶大な効果がある。

【図面の簡単な説明】

【図1】本発明の一実施の形態における積層セラミックコンデンサの一製造工程である圧着工程を示す断面図

【図2】一般的な積層セラミックコンデンサの一部切欠斜視図

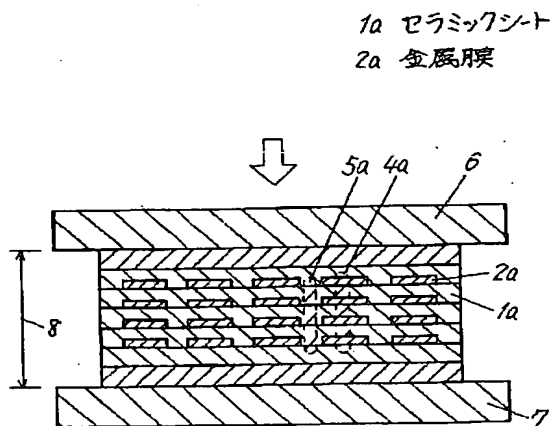
【図3】従来の積層セラミックコンデンサの一製造工程である圧着工程を示す断面図

【図4】クラックの発生した焼結体の斜視図

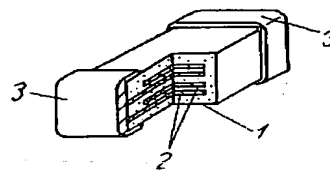
【符号の説明】

- 1 セラミック誘電体層
- 1a セラミックシート
- 2 内部電極
- 2a 金属膜
- 3 外部電極

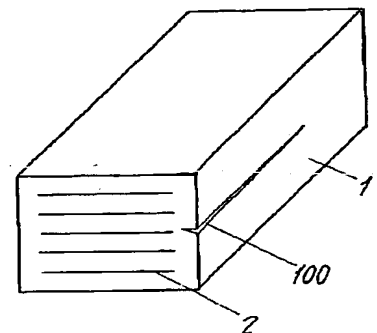
【図1】



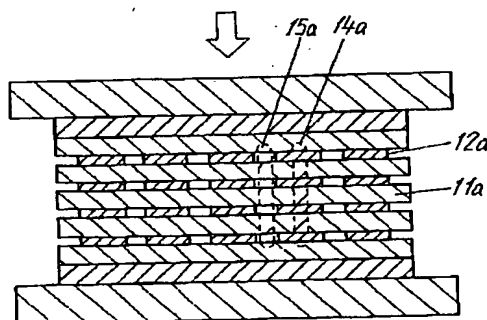
【図2】



【図3】



【図3】



フロントページの続き

(72)発明者 小松 和博

大阪府門真市大字門真1006番地 松下電器
産業株式会社内